

'대학산업기술지원단' 보유기술...고집적 D램 출력버퍼
1997년04월19일 10:28

홍익대학교 집적시스템 연구실에서는 고선명 TV수준 움직임 추정과 DCT프로세서 등의 주문형 반도체칩, 범용 화상, 음성처리 멀티미디어 프 로세서칩 설계 및 메모리칩내부 테스트회로 등 단위 집적회로 설계 연구 가 이루어지고 있다.

이 분야의 기술 중에서 본인이 특허권을 소유하고 있는 저전압 전원을 사용하는 고집적 DRAM 출력 버퍼에 대해 소개한다.

DRAM의 출력 버퍼는 칩 내부에서 처리된 신호를 안정적으로 외부에 공급하는 역할을 하며 본 기술은 다른 집적시스템에도 응용 가능하다. 개발된 기술은 TTL 레벨 전압의 원활한 공급, 래치업 및 p형 채널 소자 구동력 문제 해결, 전원 잡음 감소, 언더슈트에 의한 문제점등의 해결을 목표로 하고 있다.

설계된 출력 버퍼는 래치업현상 및 p형 채널소자의 약한 구동력을 보완하기 위해 출력의 상승, 하강 양 경우에 n형 채널 소자에 의해 구동된다.

로직1 구동시, 문턱전압 하강현상을 제거하는데는 DRAM에서 읽기 및 쓰기를 위해 사용하는 상승된 전원 (Vpp)을 사용한다.

출력 상승 구동회로를 전원 - 문턱전압까지의 구동, 이후 구동 등으로 다단계 설계하여 상승된 전원 발생 회로의 부담을 최소화하였다.

위에서 설명된 구동회로에 적당한 지연시간을 발생시키고 출력 상승 구동상태를 감지하여 출력 상승구동 n형 채널소자를 순차적으로 작동시킴으로써 전원 잡음을 감소시켰다.

또한 접지선 잡음감소를 위해 여러 개의 병렬 n형 채널 소자를 순차적으로 구동되도록 하였다.

특히 최종 출력 전압 및 접지선 상황을 피드백 시켜 후반부 출력하강 구동 n형 채널소자를 작동시킴으로써 정확히 슬루우 레이트를 제어할 수 있도록 하였다.

DRAM의 최종출력은 언더슈트가 발생하며 이로 인해 전력의 큰 증가가 발생할 가능성이 있다.

이를 방지하기 위해 최종출력과 접지선 상황을 바탕으로 낮은 문턱전압 n형채널 소자를 사용한 언더슈트 감지 및 제어 회로를 이용하여 최종 출력이 접지선 보다 내려갈경우 출력 구동을 제어하도록 하였다.

이와 동시에 위와 같은 상황에서 칩 내부의 접지선에서 최종 출력으로 흐르는 전류를 제거하기 위해 출력구동 회로동작을 제어하여 이를 방지 하였다.

[유재희 홍익대 교수].J.

Copyright © 2001 매경인터넷(주) All Rights Reserved.